



1/5/1 (Item 1 from file: 351)
DIALOG(R) File 351: Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

010211591 **Image available**
WPI Acc No: 1995-112845/199515
XRPX Acc No: N95-088969

Video signal processor circuit having reduced power consumption - sets up arbitrary value in processing unit to which input signal is fed

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7038776	A	19950207	JP 93178982	A	19930720	199515 B

Priority Applications (No Type Date): JP 93178982 A 19930720

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7038776	A	3	H04N-005/14	

Abstract (Basic): JP 7038776 A

The video signal processor circuit has a device (3) which sets up an arbitrary value and the input data is fed to it. The value of the input data corresp. to the set arbitrary value is given out without feeding it to a signal processing circuitry (4).

The remain input data undergoes signal processing and is taken out from its output terminal.

ADVANTAGE - Avoids processing of unwanted data.

Dwg.1/4

Title Terms: VIDEO; SIGNAL; PROCESSOR; CIRCUIT; REDUCE; POWER; CONSUME; SET ; UP; ARBITRARY; VALUE; PROCESS; UNIT; INPUT; SIGNAL; FEED

Derwent Class: T01; W04

International Patent Class (Main): H04N-005/14

International Patent Class (Additional): G06F-001/04; G06F-001/32

File Segment: EPI

1/5/2 (Item 1 from file: 347)
DIALOG(R) File 347: JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

04746176 **Image available**
VIDEO SIGNAL PROCESSING CIRCUIT

PUB. NO.: 07-038776 JP 7038776 A]
PUBLISHED: February 07, 1995 (19950207)
INVENTOR(s): HIDAKA IWAO
KASHIRO TAKAO
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 05-178982 [JP 93178982]
FILED: July 20, 1993 (19930720)
INTL CLASS: [6] H04N-005/14; G06F-001/32; G06F-001/04
JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 45.9 (INFORMATION PROCESSING -- Other)

ABSTRACT

PURPOSE: To sharply reduce power consumption by a small-scaled circuit by providing a circuit constitution in which data of a period which is not necessary at a signal processing circuit are not processed.

CONSTITUTION: This circuit is equipped with a data inverting circuit 3

which outputs data of the period which is necessary for a signal processing among inputted data without operating a data processing, and outputs the data of the period which is not necessary for the signal processing by fixing the data to an arbitrary value. Then, when the data inputted from an input terminal 1 are the data of the period which is necessary at a signal processing circuit 4, the data inverting circuit 3 outputs the data without processing the data, and when the data are the data of the period which is not necessary at the signal processing circuit 4, the data inverting circuit 3 outputs the data by fixing the data to an arbitrary value (High or Low), or outputs data by holding the final data of the necessary data. The signal processing circuit 4 performs an arithmetic processing necessary for recording by using the data outputted from the data inverting circuit 3, and outputs the data from an output terminal 5.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-38776

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/14	Z			
G 0 6 F 1/32				
1/04	3 0 1 C	7165-5B		
		7165-5B		
			G 0 6 F 1/ 00	3 3 2 B

審査請求 未請求 請求項の数4 O L (全 3 頁)

(21) 出願番号 特願平5-178982

(22) 出願日 平成5年(1993)7月20日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 日高 巖

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 加代 孝男

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

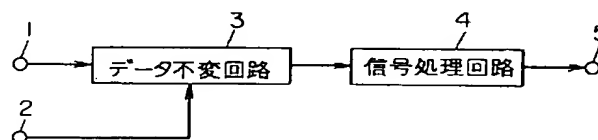
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 映像信号処理回路

(57) 【要約】

【目的】 信号処理回路で不必要な期間のデータを処理しない回路構成にする事で、大幅な消費電力の低減を実現する事が出来る。

【構成】 入力されたデータが信号処理回路4で処理する必要がない期間においては、データ不変回路3によりデータを任意の値に固定する事によって、信号処理回路4の動作を停止させる構成になっている。



【特許請求の範囲】

【請求項 1】 入力されたデータにおける信号処理に必要な期間はデータ処理を行わずに出力し、信号処理に不必要な期間のデータを任意の値に固定して出力する切り替えを制御信号によって行い後続の回路に出力するデータ不変回路を備えることを特徴とする映像信号処理回路。

【請求項 2】 データ不変回路は、信号処理に必要な期間のデータの最終データを保持して出力する回路から構成することを特徴とする請求項 1 記載の映像信号処理回路。

【請求項 3】 入力されたクロックを信号処理に必要な期間は処理を行わずに出力し、信号処理に不必要な期間ではクロックを停止する切り替えを制御信号によって行い後続の回路に出力するクロック停止回路を備えることを特徴とする映像信号処理回路。

【請求項 4】 入力されたデータとクロックによって信号処理を行う信号処理回路と、前記信号処理回路で信号処理に不必要な期間のデータの時は電源を停止させる事によって前記信号処理回路の動作を制御する電源停止回路を備えることを特徴とする映像信号処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、信号処理回路で信号の処理を行わない期間で回路動作を停止させる事によって消費電力の低減をはかる映像信号処理回路に関するものである。

【0002】

【従来の技術】 従来の映像信号処理回路は、入力されたデータの全ての期間で信号処理を行っていた。

【0003】 図 4 は従来の映像信号処理回路のブロック図を示している。図 4 において、31 はデータの入力端子であり、32 は入力端子 31 から入力されたデータを使って記録に必要な演算処理を行う信号処理回路であり、33 は信号処理回路 32 から出力されたデータの出力端子である。

【0004】 以上のように構成された映像信号処理回路について、以下その動作について図 4 を用いて説明する。入力端子 31 から入力された全てのデータを使って、信号処理回路 32 で記録に必要な演算処理を行い、出力端子 33 からデータを出力する。

【0005】

【発明が解決しようとする課題】 しかしながら、上記の映像信号処理回路では、信号処理に不必要な期間のデータも処理してしまうために必要なデータのみを処理するために消費電力が増大する。

【0006】 本発明はかかる点に鑑み、消費電力の低減をはかる事を目的とする。

【0007】

【課題を解決するための手段】 上記課題を解決するため

に本発明は、入力されたデータにおける信号処理に必要な期間はデータ処理を行わずに出力し、信号処理に不必要な期間のデータを任意の値に固定して出力する切り替えを制御信号によって行い後続の回路に出力するデータ不変回路を備え、また入力されたクロックを信号処理に必要な期間は処理を行わずに出力し、信号処理に不必要な期間ではクロックを停止する切り替えを制御信号によって行い後続の回路に出力するクロック停止回路から構成し、入力されたデータとクロックによって信号処理を行う信号処理回路と、信号処理回路で信号処理に不必要な期間のデータの時は電源を停止させる事によって信号処理回路の動作を制御する電源停止回路から構成されているものである。

【0008】

【作用】 上記構成により、入力されたデータの内、不必要な期間のデータを任意の値に固定する。また、不必要な期間のデータが入力された時に信号処理回路で使っているクロックを停止させる事によって回路動作を停止させる。また、不必要な期間のデータが入力された時に信号処理回路で使っている電源を停止させる事によって回路動作を停止させる。これらの処理を行う事によって小規模の回路で大幅な消費電力の低減をはかることを目的とする。

【0009】

【実施例】 (実施例 1) 以下、本発明の一実施例について図面を用いて説明する。

【0010】 図 1 は、本実施例の映像信号処理回路のブロック図である。図 1 において、1 はデータの入力端子であり、2 はデータを固定値にするか否かを制御する制御信号の入力端子であり、3 は入力端子 1 から入力されたデータが入力端子 2 から入力された制御信号によって信号処理回路 4 で必要な期間のデータの場合は処理を行わずに出力し、また信号処理回路 4 で不必要な期間のデータの場合は入力されたデータを任意の値に固定して

(または、信号処理回路 4 で不必要な期間のデータの場合必要なデータの最終データを保持して) 出力するデータ不変回路であり、4 はデータ不変回路 3 から出力されたデータを使って記録に必要な演算処理を行う信号処理回路であり、5 は信号処理回路 4 で出力されたデータの出力端子である。

【0011】 以上のように構成された映像信号処理回路について、以下その動作について図 1 を用いて説明する。まず、入力端子 1 から入力されたデータが信号処理回路 4 で必要な期間のデータの場合は、データ不変回路 3 では処理せずに出力し、信号処理回路 4 で不必要な期間のデータの場合は、データ不変回路 3 で任意の値 (High または Low) に固定して出力するか、また信号処理回路 4 で不必要な期間のデータの場合は、必要なデータの最終データを保持して信号処理回路 4 に出力する。信号処理回路 4 では、データ不変回路 3 から出力さ

れたデータを用いて記録に必要な演算処理を行い、出力端子5から出力する。

【0012】（実施例2）図2は、本実施例の映像信号処理回路のブロック図である。図2において、11はクロックの入力端子であり、12はクロックを停止させるか否かを制御する制御信号の入力端子であり、13はデータの入力端子であり、14は入力端子13から入力されたデータを使って記録に必要な演算処理を行う信号処理回路であり、15は信号処理回路14で不必要な期間のデータの場合に入力端子12から入力された制御信号を使ってクロックを停止させるクロック停止回路であり、16は信号処理回路14から出力されたデータの出力端子である。

【0013】以上のように構成された映像信号処理装置について、以下その動作について図2を用いて説明する。まず、入力端子13から入力されたデータの内、信号処理回路14で不必要な期間のデータでは、入力端子21から入力されたクロックを入力端子22から入力された制御信号で停止させ、クロック停止回路15から出力する。クロック停止回路15から出力されたクロックを信号処理回路14に inputs する事によって回路動作を停止させて出力端子16からデータが出力される。

【0014】（実施例3）図3は、本実施例の映像信号処理回路のブロック図である。図3において、21はデータの入力端子であり、22はクロックの入力端子であり、23は入力端子21から入力されたデータと入力端子22から入力されたクロックで記録に必要な演算処理を行う信号処理回路であり、24は信号処理回路23の電源を停止させるか否かを制御する信号の入力端子であり、25は信号処理回路23で信号処理に不必要な期間のデータの場合に、入力端子24から入力された制御信号によって信号処理回路23の電源を停止させ、回路動

作を停止させる電源停止回路であり、26は信号処理回路23から出力されるデータの出力端子である。

【0015】以上のように構成された映像信号処理装置について、以下その動作について図3を用いて説明する。まず、入力端子21から入力されたデータと入力端子22から入力されたクロックを使って、信号処理回路23で記録に必要な演算処理を行い、信号処理回路23で信号処理に不必要な期間のデータの場合に、入力信号24から入力された制御信号を電源停止回路25に入力し、信号処理回路23の電源を止めて回路動作を停止させ、出力端子26からデータを出力する。

【0016】

【発明の効果】以上説明した様に、本発明によれば信号処理回路で不必要な期間のデータを処理しない回路構成にする事で、小規模の回路で大幅な消費電力の低減を実現する事が出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例の映像信号処理回路のブロック図

【図2】本発明の第2の実施例の映像信号処理回路のブロック図

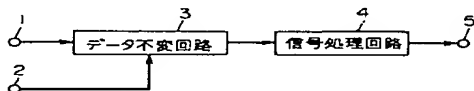
【図3】本発明の第3の実施例の映像信号処理回路のブロック図

【図4】従来の映像信号処理回路のブロック図

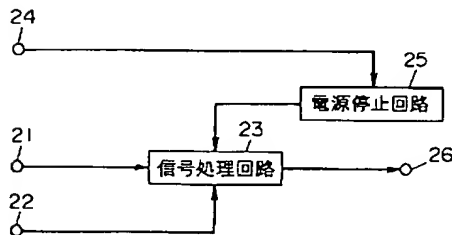
【符号の説明】

- 3 データ不変回路
- 4 信号処理回路
- 14 信号処理回路
- 15 クロック停止回路
- 23 信号処理回路
- 25 電源停止回路
- 32 信号処理回路

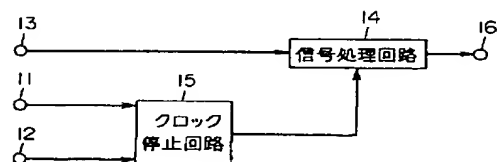
【図1】



【図3】



【図2】



【図4】

